

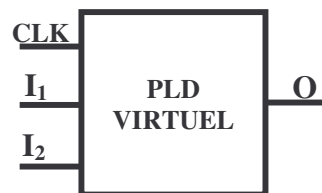
Les circuits logiques programmables

Les circuits logiques programmables (également appelés **PLD**) sont utilisés pour remplacer l'association de plusieurs boîtiers logiques. Le câblage est simplifié, l'encombrement et le risque de pannes est réduit.

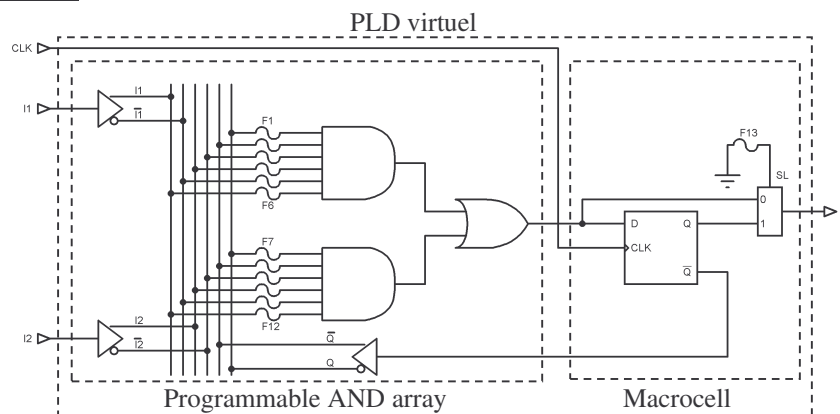
Ces circuits disposent d'un certain nombre de broches d'entrées et de sorties. L'utilisateur associe ces broches aux équations logiques (plus ou moins complexes) qu'il programme dans le circuit.

I Présentation générale de la structure interne des PLD

Partons d'un PLD virtuel ayant 3 entrées **I₁**, **I₂** et **CLK** (entrée d'horloge) et une sortie **O**.



Structure interne :



La structure peut être divisée en deux blocs :

- Programmable AND array (Tableau de ET programmable)
- Macrocell (Macrocellule)

Le tableau de ET programmable :

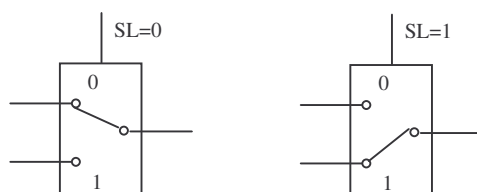
Il est constitué ici de deux portes ET à 6 entrées, d'une porte OU, de douze fusibles (F1 à F12) et d'inverseur/non-inverseur.

Ce tableau offre la possibilité de programmer des opérations logiques (des sommes de produit).

La macrocellule :

Elle est constituée ici d'une bascule D (registre), d'un multiplexeur 2 vers 1 et d'un fusible (F13). Elle permet de configurer la sortie grâce au multiplexeur.

Principe du multiplexeur 2 vers 1 :



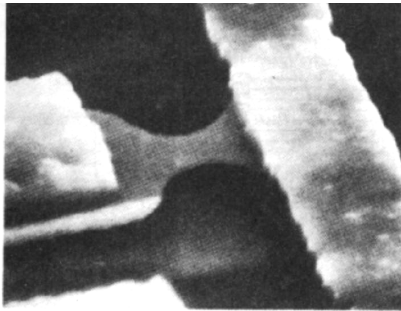
La sortie est connectée à l'une des deux entrées suivant l'état de SL.

Le multiplexeur permet de sélectionner :

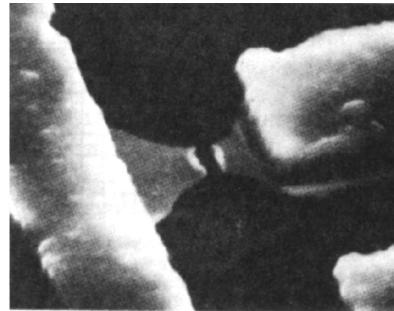
- soit une sortie combinatoire,
- soit une sortie de registre.

II Principe de programmation des PLD

La programmation des PLD consiste à détruire ou à garder intact des fusibles, de manière à supprimer ou à conserver des connections :



Unblown Fuse

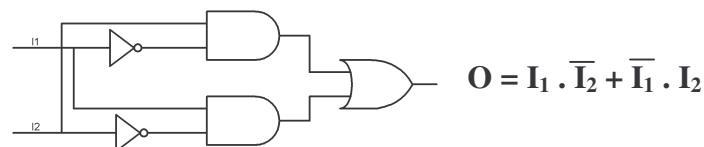
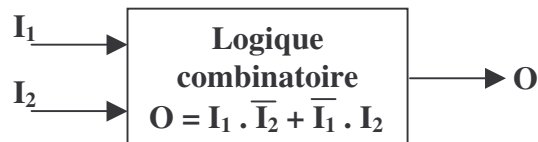


Blown Fuse

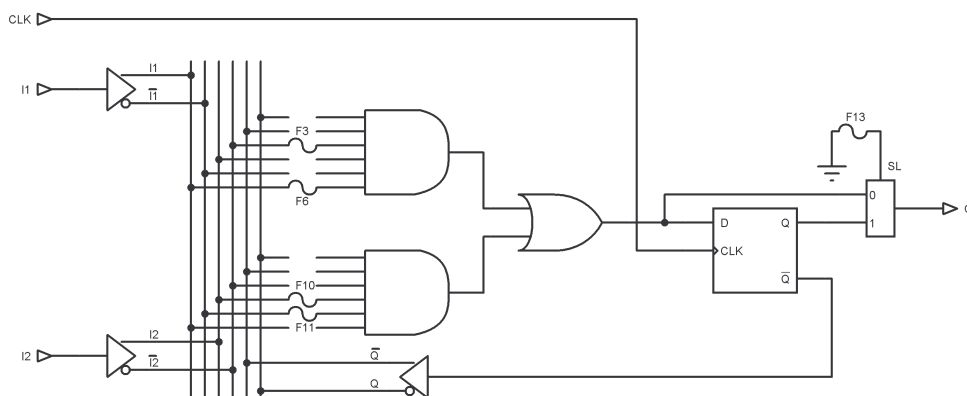
Remarque : la destruction d'un fusible entraîne la mise à 1 de l'entrée de la porte concernée.

2.1 Programmation d'une fonction combinatoire

On souhaite réaliser une fonction OU-EXCLUSIF : $O = I_1 \cdot \bar{I}_2 + \bar{I}_1 \cdot I_2$



Structure interne programmée :



Programmation du tableau de ET programmable :

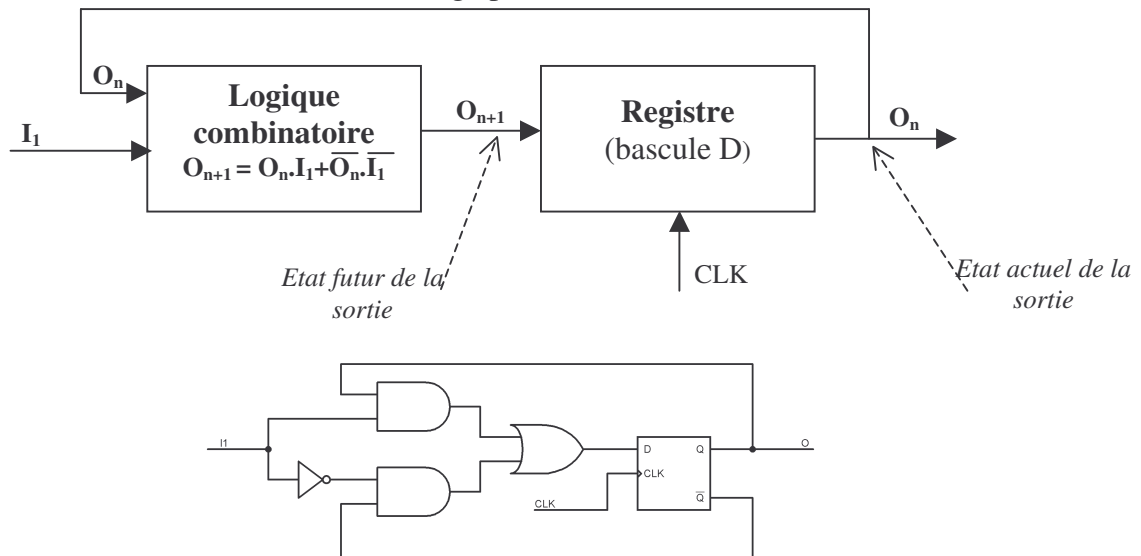
L'opération OU-EXCLUSIF est une somme de produit, celle-ci est programmé dans le tableau de ET programmable en détruisant les fusibles F1, F2, F4, F5, F7, F8, F9 et F12.

Programmation de la macrocellule :

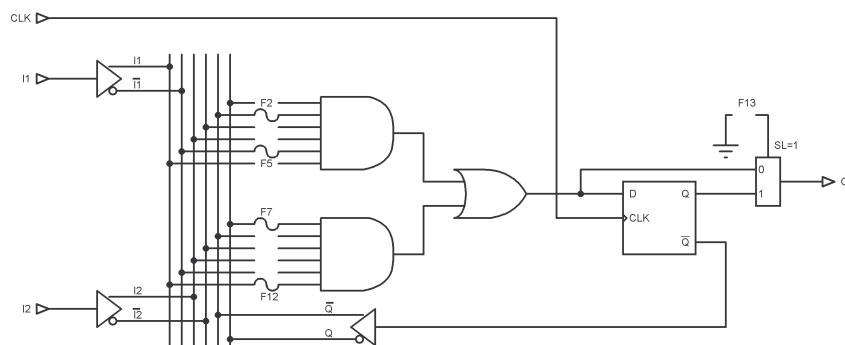
La macrocellule est programmée de manière à ce que la sortie O soit combinatoire c'est à dire connectée à la sortie de la porte OU. Pour cela il faut que SL=0 ce qui revient à garder intact le fusible F13.

2.2 Programmation d'une fonction séquentielle

On souhaite réaliser la fonction décrite dans l'exemple 2 du cours sur la logique séquentielle à savoir que la sortie **O** change d'état à chaque front montant de **CLK** si l'entrée **I₁**=0. Si **I₁**=1 la sortie **O** ne change pas d'état :



Structure interne programmée :



Programmation du tableau de ET programmable :

Il est programmé de manière à réaliser l'opération $O_{n+1} = O_n \cdot \overline{I_1} + \overline{O_n} \cdot I_1$

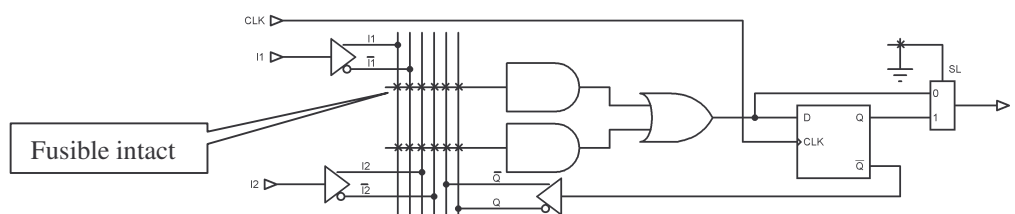
Remarque : l'entrée I_2 n'est pas utilisée, tous les fusibles correspondant sont détruits.

Programmation de la macrocellule :

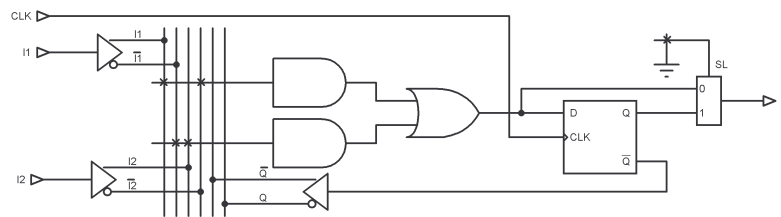
Elle est programmée de manière à ce que la sortie O soit une sortie de registre c'est à dire connectée à la sortie Q de la bascule D. Pour cela il faut que $SL=1$ ce qui revient à détruire le fusible F13.

III Convention de représentation de la structure interne des PLD

Les constructeurs de PLD ont adopté une représentation simplifiée. Celle-ci ne montre pas tous les fusibles, les entrées des portes ET sont regroupées sur une seule ligne. **Une croix représente un fusible intact.**



Exemple : représentation de la structure programmée pour réaliser un OU-EXCLUSIF



IV Les PLD réels

Le terme **PLD** regroupe 4 familles de composants :

Les **PAL** : Ce sont les circuits logiques programmables les plus anciens. Ils sont **programmables qu'une fois**, ce qui peut être gênant en phase de développement. Les PAL sont actuellement de moins en moins utilisés.

Les **GAL** : Ce sont des **PAL effaçables électriquement** et donc **programmable plusieurs fois**. Leur programmation nécessite l'utilisation d'un programmeur. L'appellation GAL est une marque déposée de LATTICE SEMICONDUCTOR qui a été la première société à proposer sur le marché ce type de produits. Le constructeur AMD les appelle PALCE.

Les **EPLD** : Ces circuits ont une capacité en nombre de portes et en possibilités de configuration supérieure à celle des GAL. Ils sont programmables plusieurs fois « in situ » (directement sur la carte électronique où ils sont câblés). Leur programmation ne nécessite donc pas l'utilisation d'un programmeur.

Les **FPGA** : Apparus il y a seulement quelques années, ce sont de gros ensembles de blocs logiques élémentaires (plusieurs milliers de portes) que l'utilisateur peut interconnecter à loisir.

V Les outils nécessaires à la programmation des PLD

Les PLD se programment par téléchargement d'un fichier de type JEDEC. Ce format de fichier est un standard de programmation international. Pour les GAL, le téléchargement s'effectue par l'intermédiaire d'un programmeur.

Les fichiers JEDEC sont obtenus grâce à des outils de développement (logiciels) fournis par les constructeurs de PLD eux-mêmes : LATTICE fournit gratuitement SYNARIO et DESIGN EXPERT mais pour ce dernier la licence n'est valable que 6 mois, ALTERA propose à la vente MAX PLUS...

A partir de ces logiciels, le concepteur peut obtenir un fichier JEDEC de plusieurs façons :

- par des logigrammes, il saisit directement le schéma du circuit logique,
- en décrivant le comportement du circuit logique en langage ABEL ou VHDL,
- pour des circuits séquentiels, en dessinant directement les diagrammes d'état.

Le choix des méthodes dépend de l'outil de développement utilisé.